

8255A / 8255A-5 可编程外设接口

8255A 是为 Intel 公司的微处理器配套的通用可编程 I/O 器件。该器件有 24 条可编程 I/O 引脚，这些引脚可分成两组（每组 12 条）分别编程。且可采用三种主要的工作方式。在第一种工作方式（方式 0）中，可通过编程将每组 12 条引脚再分成 4 组，作为输入或输出；在第二种工作方式（方式 1）中，通过编程可使每组有 8 条线用作输入或输出线，其余的 4 条引脚中的 8 条用于传送联络信号和中断控制信号；条三种工作方式（方式 2）是双向总线方式，有 8 条线用作为双向总线，而另外 5 条（其中一条是借用另一组的）用于传送联络信号。

主要技术特性

- 8255A-5 与 MCS-85 兼容；
- 与 TTL 电路完全兼容；
- 与 Intel 公司的微处理器系列完全兼容；
- 改善了时序特性；
- 直接位置 I / 置 0 功能便于实现控制性接口；
- 采用 40 条引脚的双列直插式封装；
- 减少了系统器件数；
- 提高了直流驱动能力。

引脚安排

如图 1-3-19 所示。

内部结构

如图 1-3-20 所示。

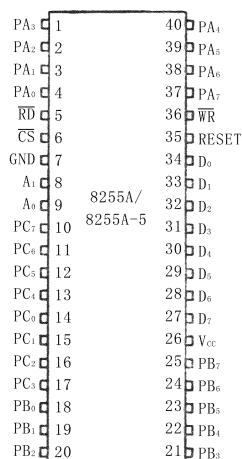


图 1-3-19 8255A/8255A-5 的引脚图

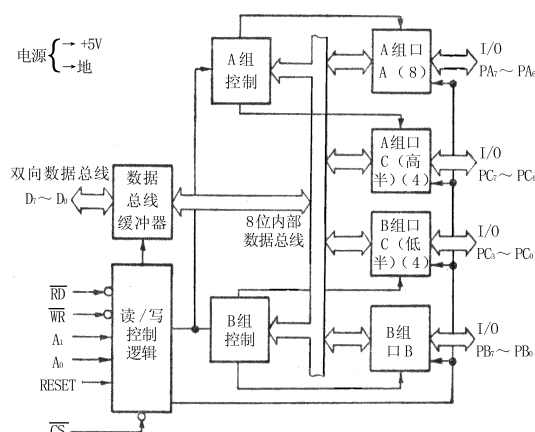


图 1-3-20 8255A/8255A-5 的内部结构框图

引脚	名称
D7D0	双向数据总线
RESET	复位输入
\overline{CS}	选片
\overline{RD}	读输入
\overline{WR}	写输入
$A_0 \sim A_1$	口地址
$PA_7 \sim PA_0$	口 A (位)
$PB_7 \sim PB_0$	口 B (位)
$PC_7 \sim PC_0$	口 C (位)
V_{CC}	+5V
GND	地

功能说明

8255 的功能组态是由系统软件通过编程确定的，因此与外围设备或外部结构相接时通常不需要附加外部逻辑线路。

1. 数据总线缓冲器 该三态双向 8 位缓冲器用于连接 8255 与系统数据总线，其发送或接收数据是靠中央处理机（CPU）执行输入或输出指令而实现的。控制字和状态信息也是通过这个数据总线缓冲器传送的。

2. 读 / 写和控制逻辑该部件的功能是管理所有的内部和外部的传送过程，包括数据以及控制字。它接收来自 CPU 地址总线和控制总线的输入信号，然后向 A 和 B 两组的控制部件发送命令。

3. \overline{CS} （选片）当这个输入引脚处于低电平时，允许 8255 与 CPU 进行通讯。

4. \overline{RD} （读）当这个输入引脚处于低电平时，允许 8255 通过数据总线向 CPU 发送数据或状态信息。实际上，是允许 CPU 从 8255 读取信息。

5. \overline{WR} （写）当这个输入引脚处于低电平时，允许 CPU 把数据或控制字写入 8255。

6. A_0 和 A_1 （口选线 0 和口选线 1）这两个输入信号与 RD 和 WR 输入信号一起，用来选择三个口或控制字寄存器。这两条线通常接至地址总线的最低两位（ A_0 和 A_1 ），如表 1-3-6 所示。

表 1-3-6 8255 的基本操作

A_1	A_0	RD	WR	CS	输入操作（读）
0	0	0	1	0	口 A 数据总线
0	1	0	1	0	口 B 数据总线
1	0	0	1	0	口 C 数据总线
输出操作（写）					
0	0	1	0	0	数据总线口 A
0	1	1	0	0	数据总线口 B
1	0	1	0	0	数据总线口 C
1	1	1	0	0	数据总线控制寄存器
禁止功能					
×	×	×	×	1	数据总线三态
1	1	0	1	0	非法状态
×	×	1	1	0	数据总线三态

7. RESET（复位）当该输入端处于高电平时，所有内部寄存器（包括控制寄存器）均被清除，所有的 I / O 口（A、B、C）均被置成输入方式。

8. A 组和 B 组的控制每个口的功能组态由系统软件编程设定，实际上是由 CPU 向 8255 输出一个控制字来设定。该控制字包含“工作方式”、“位置 1”、“位清除”等信息。

A 组和 B 组中的每个控制部件都从读 / 写控制逻辑接收“命令”，从内部数据总线接收“控制字”。并向有关的口发出适当的命令。

A 组控制部件—口 A 和口 C 高四位（C7-C4）；

B 组控制部件—口 B 和口 C 低四位（C3-C0）；

控制字寄存器只能写入，不允许读出。

9. 口 A、口 B 和口 C 8255 包含有三个 8 位的 I / O 口（A、B 和 C）。所有的口都能由系统软件组接成各种的功能部件，但是每个口又有它自己的特点，以便进一步提高 8255 的功能和灵活性。

口 A：一个 8 位的数据输出锁存器 / 缓冲器和一个 8 位的数据输入锁存器。

口 B：一个 8 位的数据输入 / 输出的锁存器 / 缓冲器和一个 8 位的数据输入缓冲器。

口 C：一个 8 位的数据输出锁存器 / 缓冲器和一个 8 位的数据输入缓冲器（不锁存输入信号）。这个口可以通过设定工作方式而分成两个 4 位的口。每个 4 位的口包含一个 4 位的

锁存器，与口 A 和口 B 一起用于输出控制信号和输入状态信号。

使用说明

1. 选择工作方式供系统软件选择的三种工作方式如下：

方式 0—基本的输入 / 输出方式；

方式 1—带选通的输入 / 输出方式；

方式 2—双向总线方式。

当 RESET 输入端处于高电平时。所有的 I / O 口将被置成输入方式。当 RESET 信号撤消后，8255 仍处于输入状态而不必再预置。在执行系统程序期间，只须用一条输出指令就可选择其它任何一种工作方式。这样就可以用一个简单的软件维护例程使一片 8255 器件为各种外围设备服务。

口 A 和口 B 的工作方式可分别规定，而口 C 可视需要由口 A 和口 B 的定义分成两部分。工作方式改变时，所有的输出寄存器（包括状态触发器）均被复位。工作方式可以进行组合，因此其功能几乎适用于任何一种 I / O 结构。例如，B 组可编程为方式 0，以便监视简单开关的闭合或显示计算结果，而 A 组可编程为方式 1，以便通过中断来监视键盘或纸带输入机。

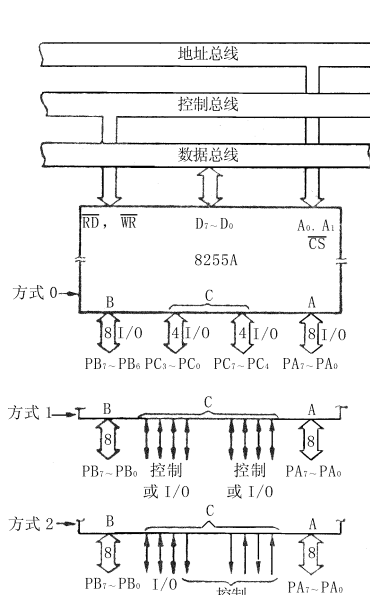


图 1-3-21 8255 基本工作方式的定义和总线接口

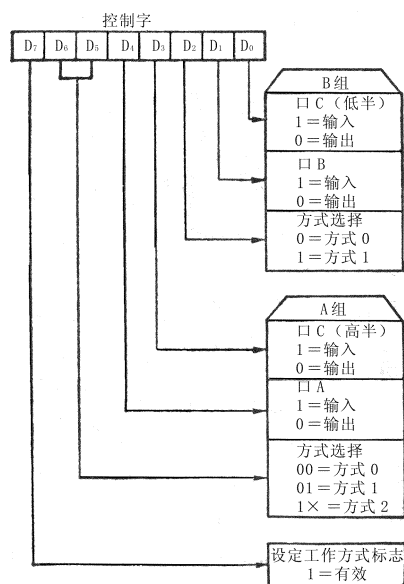


图 1-3-22 定义工作方式的格式

2. 个别位的置 1 / 置 0 功能口 C 的 8 位中的任何一位都可用一条输出指令置成 1 或置成 0。当把微处理机用于控制方面，由于 8255A 芯片具有这一特性。颇适于编程。

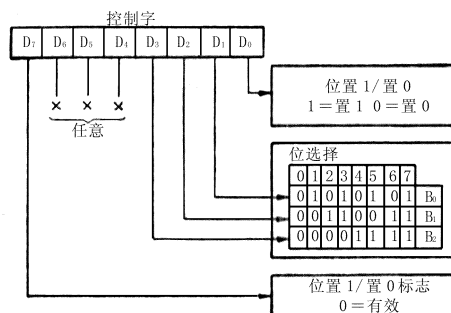


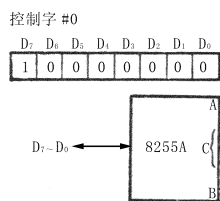
图 1-3-23 8255A 位置 1/置 0 的格式

当口 C 用作口 A 或口 B 的状态控制口时，这些位可以象数据输出口一样用位置 1 / 置 0 操作置 1 或置 0。

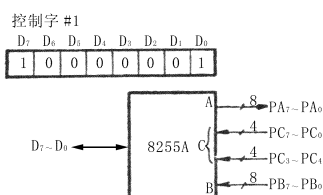
3. 中断控制功能当 8255 以方式 1 或方式 2 工作时，提供的控制信号可作为 CPU 的中断请求输入。由口 C 产生的中断请求信号可通过将有关的 INTE 触发器置 1 或复位而加

以禁止或允许，INTE 的状态是通过口 C 的位置 1 / 置 0 功能实现的。

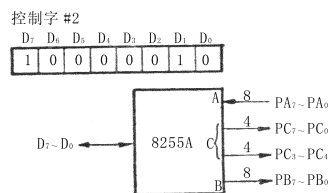
程序人员借助于这一功能就可禁止或允许某个 I / O 设备中断 CPU，而不影响中断结构中的任何其它设备。



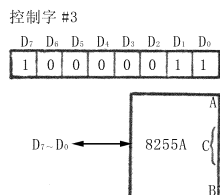
(a)



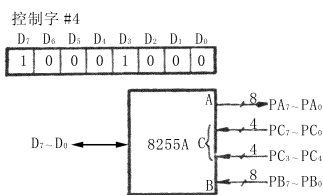
(b)



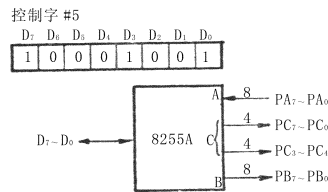
(c)



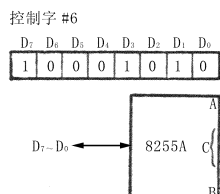
(d)



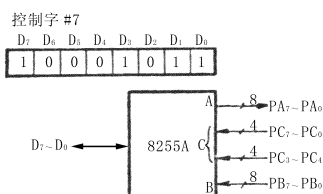
(e)



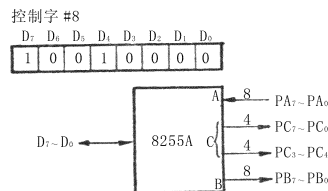
(f)



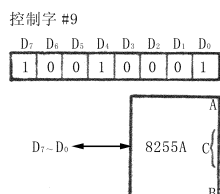
(g)



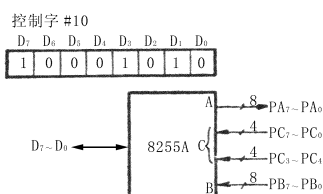
(h)



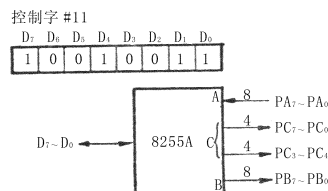
(i)



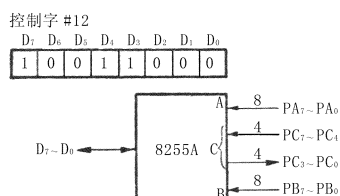
(j)



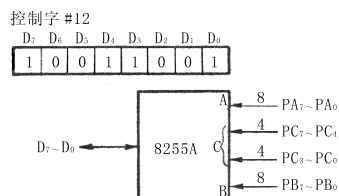
(k)



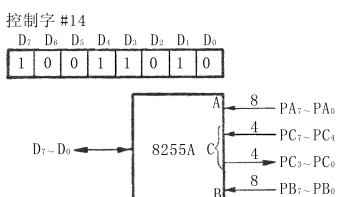
(l)



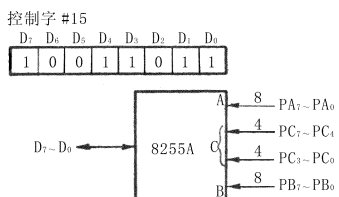
(m)



(n)



(o)



(p)

INTE 触发器的定义如下:

(位置 1) —INTE 被置 1—允许中断;

(位置 0) —INTE 被置 0—禁止中断。

注: 在选择工作方式和器件复位时, 所有的屏蔽触发器均自动复位。

4. 工作方式

方式 0:

在这种功能组态下, 三个口中的任何一个都可提供简单的输入和输出操作。不需要应答式联络信号, 数据只是简单地写入指定的口, 或从口中读出。

方式 0 的基本功能定义如下:

- 两个 8 位的口和两个 4 位的口;
- 任何一个口都可用作输入或输出;
- 输出可被锁存;
- 输入不能锁存;
- 在这种方式下, 有 16 种不同的输入 / 输出组态 (见图 1-2-24 和表 1-3-7)。

表 1-3-7 方式 0 下各口的定义

A	B	A 组			B 组	
D4D3	D1D0	口 A	口 C (高位)	#	口 B	口 C (低位)
0 0	0 0	输 出	输 出	0	输 出	输 出
0 0	0 1	输 出	输 出	1	输 出	输 入
0 0	1 0	输 出	输 出	2	输 入	输 出
0 0	1 1	输 出	输 出	3	输 入	输 入
0 1	0 0	输 出	输 入	4	输 出	输 出
0 1	0 1	输 出	输 入	5	输 出	输 入
0 1	1 0	输 出	输 入	6	输 入	输 出
0 1	1 1	输 出	输 入	7	输 入	输 入
1 0	0 0	输 入	输 出	8	输 出	输 出
1 0	0 1	输 入	输 出	9	输 出	输 入
1 0	1 0	输 入	输 出	10	输 入	输 出
1 0	1 1	输 入	输 出	11	输 入	输 入
1 1	0 0	输 入	输 入	12	输 出	输 出
1 1	0 1	输 入	输 入	13	输 出	输 入
1 1	1 0	输 入	输 入	14	输 入	输 出
1 1	1 1	输 入	输 入	15	输 入	输 入

方式 1: 选通输入 / 输出方式

这种功能组态能提供借助于选通或“应答式联络”信号把 1 / 0 数据发送给指定的口或从该口接收 I / O 数据的方法。在方式 1 中, 口 A 和口 B 用口 C 上的一些引脚产生或接收“应答式联络”信号。

方式 1 的基本功能定义如下:

- 分成两组 (A 组和 B 组);
- 每组包含一个 8 位的数据口和一个 4 位的控制 / 数据口;
- 8 位的数据口既可作为输入又可作为输出。输入和输出均可锁存;
- 4 位的口用于传送 8 位的数据口的控制和状态信息。

输入控制信号的定义

符号和名称	说明
STB 选通输入	这个输入端处于低电平时将数据打入输入锁在器。
IBF 输入缓冲器满触 发器	这个输出端处于高电平时表示数据已被打入到输入锁存器中，实际上这是一个应答信号。STB 输入端上的低电平将 IBF 置 1，RD 输入端信号的上升沿将其置 0。
INTB 中断请求	当一个输入设备请求服务时，可用这个输出端上的高电平中断 CPU。STB 为 1、IBF 为 1 且 INTE 也为 1 时，INTR 被置成 1。而由 RD 的下降沿置 0。这个过程使得输入设备要请求 CPU 服务时，只需将其数据送入输入口就行了。
INTEA	由 PC4 (C 口第 4 位) 的位置 1 / 置 0 功能控制。
INTEB	由 PC2 的位置 1 / 置 0 功能控制。

输出控制信号的定义

符号和名称	说明
OBF 输出缓冲器满触 发器	OBF 输出端处于低电平表示 CPU 已向规定的口写入数据。WR 输入信号的上升沿使 OBF 触发器置 1，而 ACK 输入端上的低电平使其置 0。
ACK 响应输入	这个输入端上的低电平告诉 8255，来自口 A 或口 B 的数据已被接收。实际上这是一个由外设来的回答信号，表示 CPU 输出的数据已被外设接收。
INTR 中断请求	当输出设备接收了 CPU 送出来的数据时，就可用这个输出端上的高电平中断 CPU。当 ACK 为 1、OBF 为 1，且 INTE 也为 1 时，INTR 就被置 1。WR 的下降沿将 INTB 置 0。
INTEA	由 PO ₆ (C 口第 6 位) 的位置 1 / 置 0 功能控制。
INTEB	由 PO2 的位置 1 / 置 0 功能控制。

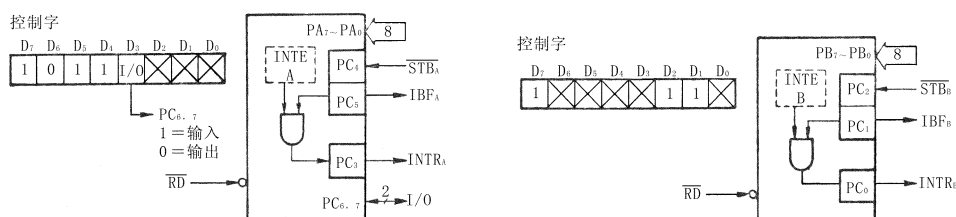


图 1-3-25 8255A 方式 1 (输入)

方式 1 的组合

在方式 1 下。口 A 和口 B 可分别定义为输入或输出，以适应各种选通型 I/O 应用。

方式 2：带选通双向总线 I/O 方式

这种功能组态能够通过一根 8 位的总线与外设或外部结构实现双向通讯。这条 8 位的总线既可发送又可接收数据，即双向 I/O 总线。提供有“应答式联络”信号，用以按方式 1 的办法保持总线上的数据按一定的规则进行传送。还提供了中断产生及中断允许/禁止的功能。

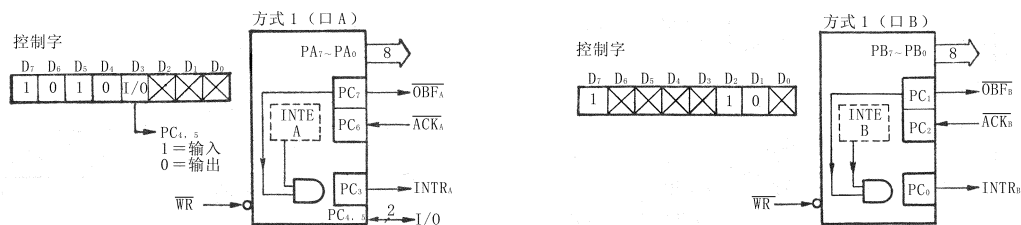


图 1-3-26 8255A 方式 1 (输出)

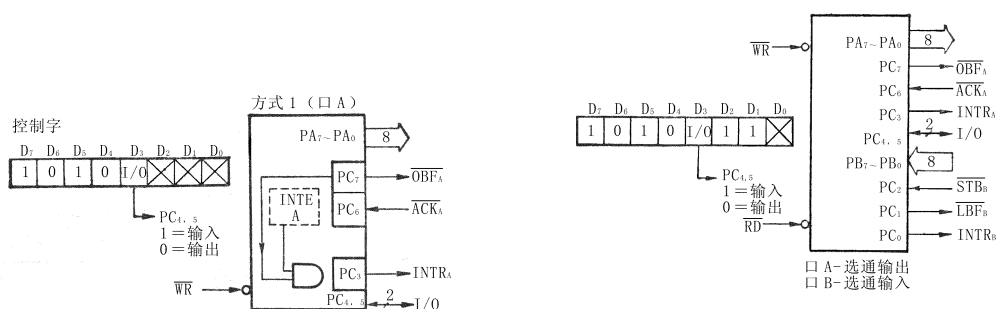


图 1-3-27 8255A 方式 1 的组合

方式 2 的基本功能定义如下：

- 只适用于 A 组；
- 一个 8 位的双向总线口（口 A）和一个 5 位的控制口（口 C）；
- 输入和输出都可锁存；
- 5 位的控制口（口 C）用于传送 8 位双向总线口（口 A）的控制和状态信息。

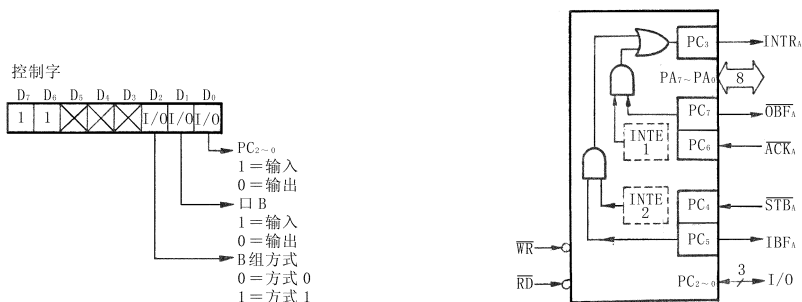


图 1-3-28 8255A 方式控制字

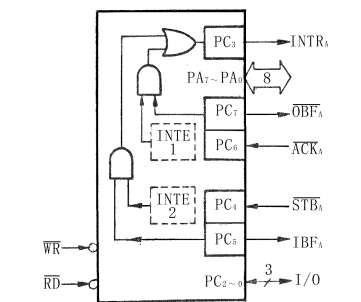


图 1-3-29 8255A 的方式 2

双向总线 I/O 控制信号的定义

符号和名称	说明
INTR	输入或输出操作都可用这个输出端上的高电平中断 CPU。
OBFB	输出为低电平表示 CPU 已把数据写入口 A。
输出缓冲器满	

ACK 这个输入端为低电平时开启口 A 的三态输出缓冲器，把数据发送出去。否则，输出缓冲器将处于高阻状态。

INTE1 由 PC6（口 C 第 6 位）的位置 1 / 置 0 功能控制。

与 OBF 有关的 INTE 触发器

STB 这个输入端上的低电平把数据打入输入锁存器。

IBF 该输出端出现高电平表示数据已被打入输入缓冲器。

输入缓冲器满触发器

INTE2 由 P04 的位置 1 / 置 0 功能控制。

与 IBF 有关的 INTE 触发器

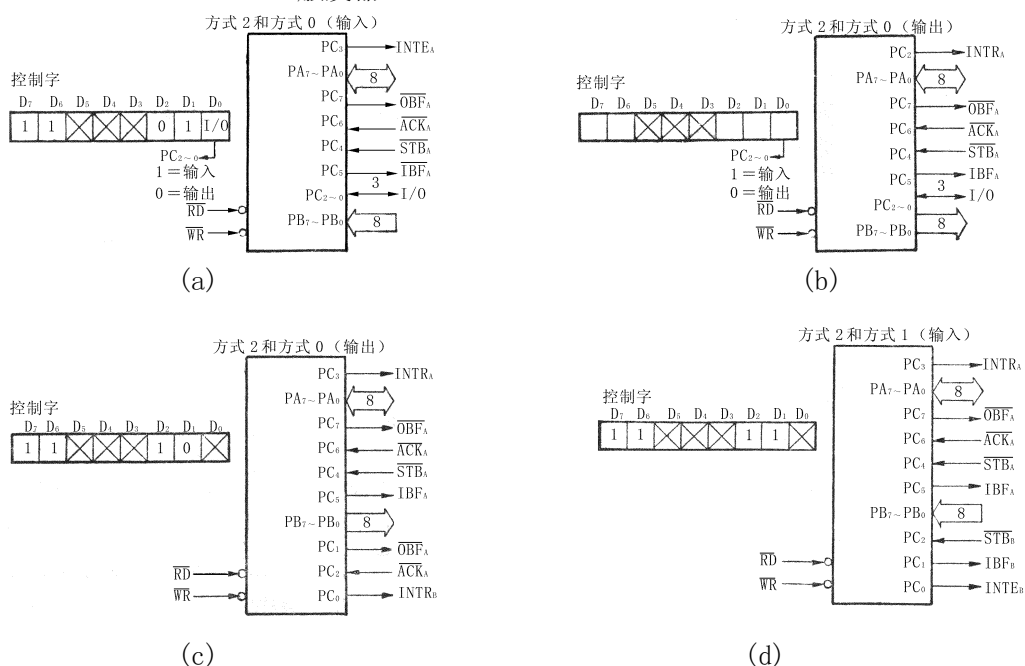


图 1-3-30 8255A 工作方式的组合

工作方式定义

工作方式定义列于表 1-3-8

表 1-3-8 工作方式定义

	方式 0		方式 1		方式 2
	IN	OUT	IN	OUT	只有 A 组
PA ₀	IN	OUT	IN	OUT	
PA ₁	IN	OUT	IN	OUT	
PA ₂	IN	OUT	IN	OUT	
PA ₃	IN	OUT	IN	OUT	
PA ₄	IN	OUT	IN	OUT	
PA ₅	IN	OUT	IN	OUT	
PA ₆	IN	OUT	IN	OUT	
PA ₇	IN	OUT	IN	OUT	

PB ₀	IN	OUT	IN	OUT	—	
PB ₁	IN	OUT	IN	OUT	—	只限于
PB ₂	IN	OUT	IN	OUT	—	方式 0
PB ₃	IN	OUT	IN	OUT	—	或方
PB ₄	IN	OUT	IN	OUT	—	式 1
PB ₅	IN	OUT	IN	OUT	—	
PB ₆	IN	OUT	IN	OUT	—	
PB ₇	IN	OUT	IN	OUT	—	
PC ₀	IN	OUT	INTR _B	INTR _B		I/O
PC ₁	IN	OUT	IBF _B	OBF _B		I/O
PC ₂	IN	OUT	STB _B	ACK _B		I/O
PC ₃	IN	OUT	INTR _B	INTR _A		INTR _A
PC ₄	IN	OUT	STB _A	I/O		STB _A
PC ₅	IN	OUT	IBF _A	I/O		IBF _A
PC ₆	IN	OUT	I/O	ACK _A		ACK _A
PC ₇	IN	OUT	I/O	OBF _A		OBF _A

特殊组合方式的考虑

有几种组合方式下并未将口 C 的所有位都用于传送控制或状态信息，剩余的各位可起下述作用：

若设定为输入，则对口 C 进行正常读出时可访问所有的输入线。

若设定为输出，则口 C 的高 4 位部分 (PC₇~PC₄) 必须用位置 1 / 置 0 功能单独进行访问。而口 C 的低 4 位部分 (PC₃~PC₀) 可用位置 1 / 置 0 功能进行访问，或者通过写入口 C 的操作进行访问。

口 B 和口 C 的电流驱动能力

口 B 和口 C 的 8 个输出缓冲器中。任意一个都能在输出为 1.5V 时提供 1mA 电流。因此使得 8255 可以直接驱动需要这样大的驱动电流的达林顿型驱动器以及高压显示器。

该口 C 的状态

在方式 0 下，口 C 把数据传送给外围设备，或者从外围设备接收数据。若把 8255 设定成方式 1 或方式 2，口 C 就产生或接收与外部设备进行联络的“应答式联络”信号。读出口 C 的内容就使程序员能测试或核实每种外围设备的状态从而据此改变程序流向。没有从口 C 读出状态信息的专用指令。执行口 C 的正常读出操作就能实现这一功能。

一种功能很强的工具。能实现几乎任何 I/O 设备的接口而不必增加外部逻辑电路。微型计算机系统种的每一种外设通常都有相应的“服务程序”。该程序用于管理外设和 CPU 之间的软件接口。8255 的功能定义是由 I/O 服务程序通过编程确定的，使系统软件得到了扩充。8255 的一些典型应用如图 1-3-33~1-3-39 所示。

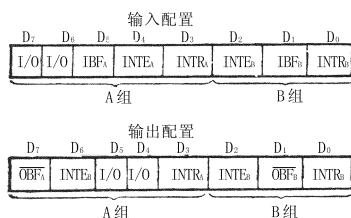


图 31 8255A 方式 1 状态字格式

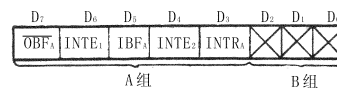


图 32 8255A 方式 2 状态字的格式

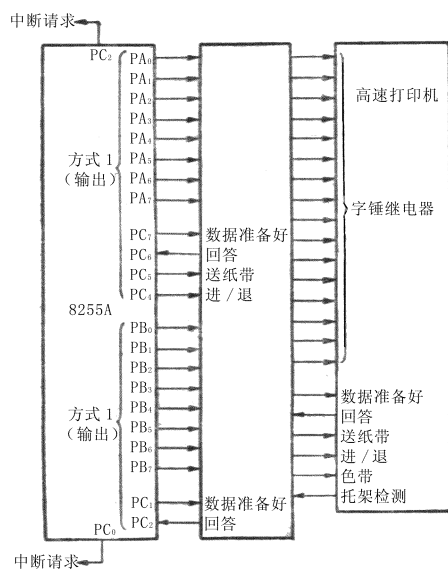


图 33 8255A 作打印机接口

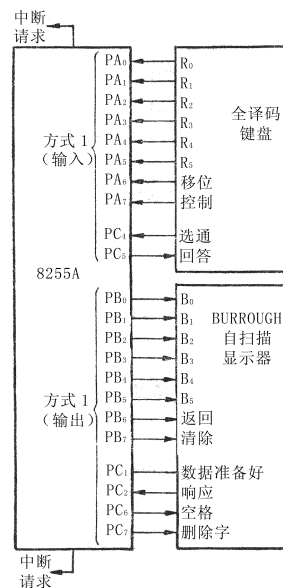


图 34 8255A 作键盘和显示器接口

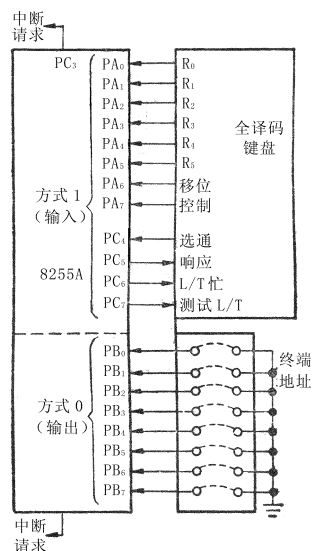


图 35 8255A 作键盘和终端地址接口

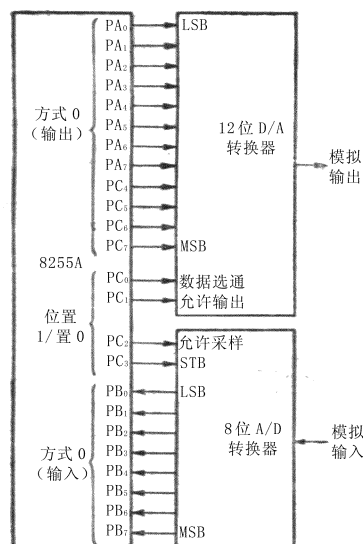


图 36 8255 作数/模和模/数接口

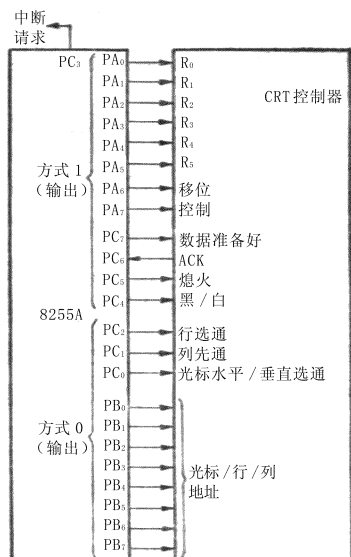


图 37 8255A 作基本 CRT 控制器接口

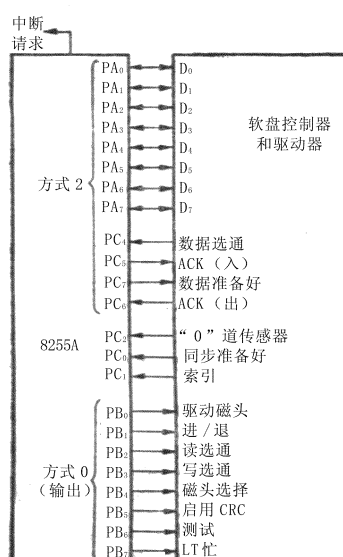


图 38 8255A 作基本软盘接口

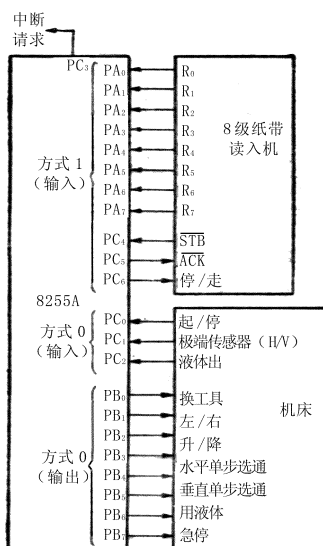


图 39 8255A 作机床控制器接口